

2/ priority
paper
Septae
H-9-02
10/068152
10/06/02
PTO

대한민국 특허청

KOREAN INTELLECTUAL PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 :
Application Number

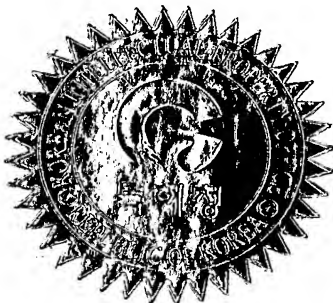
특허출원 2001년 제 8465 호

출원년월일 :
Date of Application

2001년 02월 20일

출원인 :
Applicant(s)

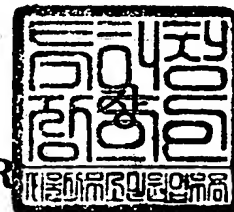
삼성전자 주식회사



2001 년 03 월 06 일

특 허 청

COMMISSIONER



【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2001.02.20
【발명의 명칭】	웨이퍼 디펙트 소스의 성분별 불량침수 표시 방법
【발명의 영문명칭】	A method for indicating wafer defect according to the composition of the defect
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	박상수
【대리인코드】	9-1998-000642-5
【포괄위임등록번호】	2000-054081-9
【발명자】	
【성명의 국문표기】	이상은
【성명의 영문표기】	LEE, SANG EUN
【주민등록번호】	671118-1074512
【우편번호】	431-080
【주소】	경기도 안양시 동안구 호계동 태영아파트 609동 203호
【국적】	KR
【발명자】	
【성명의 국문표기】	한재성
【성명의 영문표기】	HAN, JAE SUNG
【주민등록번호】	721227-1472417
【우편번호】	440-050
【주소】	경기도 수원시 장안구 영화동 37-211
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 박상수 (인)

【수수료】

【기본출원료】 16 면 29,000 원

【가산출원료】 0 면 0 원

【우선권주장료】 0 건 0 원

【심사청구료】 5 항 269,000 원

【합계】 298,000 원

【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 웨이퍼 디펙트 소스에 대한 성분별 불량칩수 표시 방법에 관한 것으로서, 웨이퍼 디펙트 소스에 대한 성분별 불량칩수 표시 방법에 있어서, 반도체 결함 검사 장비를 이용하여 웨이퍼 상의 디펙트 소스를 찾아내고, 상기 디펙트 소스를 반도체 결함 검사 장비를 이용하여 성분 분석하고, 상기 디펙트 소스의 성분 분석된 디펙트에 동일한 원인이 있는 경우 동일한 표시를 하고, 상기 표시에 따라 웨이퍼 상에 디펙트의 산포와 치우침을 나타내고, 그래프 상으로 디펙트의 개수를 나타내어 디펙트의 통계적 처리를 하는 것을 포함하는 것을 특징으로 하는 웨이퍼 디펙트 소스에 대한 성분별 불량칩수 표시 방법을 제공함으로써 반도체 양산에서의 불량을 더욱 신속하고 효과적으로 방지함으로써 반도체 생산 수율 향상을 도모할 수 있다.

【대표도】

도 1

【색인어】

웨이퍼 디펙트, DRT

【명세서】**【발명의 명칭】**

웨이퍼 디펙트 소스의 성분별 불량칩수 표시 방법{A method for indicating wafer defect according to the composition of the defect}

【도면의 간단한 설명】

도 1은 본 발명에 따른 디펙트 소스를 웨이퍼 상에 표시한 것을 나타내는 사진이다.

도 2는 본 발명에 따라 디펙트를 소스별로 분류한 것을 그래프로 도시한 것이다.

도 3a 내지 도 3c는 본 발명에 따라 DRT 장비로 발견된 디펙트를 나타내고 있는 SEM 사진 및 EDS와 AES로 성분을 분석한 것을 나타내고 있는 사진이다.

도 4a는 종래 기술에 따라 디펙트 소스를 웨이퍼 상에 표시한 것을 나타내고 있는 사진이고, 도 4b는 공정 진행에 따라 발생된 디펙트를 통계적으로 처리한 것을 나타내고 있는 그래프이다.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<5> [산업상 이용분야]

<6> 본 발명은 웨이퍼 디펙트 소스에 대한 성분별 불량칩수 표시 방법에 관한 것으로, 더욱 상세하게는 반도체 검사 장비를 사용하여 웨이퍼 상의 디펙트 발생에 대한 성분별 불량칩수를 표시하는 방법에 관한 것이다.

<7> [종래 기술]

- <8> 본 발명은 DRT(Defect Review Tool) 분야의 어플리케이션에 해당한다. 현재 DRT 분야에는 대표적으로 히타치-SEM, KLA-SEM, FEI-FIB 등의 업체 장비들이 존재한다. 최근의 기술적인 동향은 현재까지의 이미지 중심 디펙트 리뷰 스테이션에서 디펙 소스(성분)까지를 규명해주는 방향으로 개발을 진행중이거나 일부 상용화에 이르렀다.
- <9> 이는 2003년으로 예상되는 디펙트 개선 활동의 기술적 한계를 극복하기 위한 방향이며, 이러한 활동은 더욱 가속화될 것으로 예상된다.
- <10> 그러나, 이러한 조성 DRT 장비(composition DRT)(불량을 성분으로 분석하는 장비류)의 한계는 데이터가 매우 복잡하고 대량생산에 적절하지 않다는 지적을 받아왔다.
- <11> 즉, 장비는 CLASS 1 정도의 청정도 수준까지 올라왔으나 데이터의 형태가 아직도 연구소 수준에 머무르고 있어 전문인이 아니면 이해하기 어렵다.
- <12> 반도체 양산 현장에서 불량률의 관리는 양산 수율과 직접적으로 관련을 맺고 있어 매우 중요하다. 현재 현장에서의 관리수준은 KLA나 AIT를 이용한 디펙트 크기별 분류가 가능하며 INS 3000과 같은 리뷰 스테이션(review station)을 이용하여 디펙트를 유형별로 분류하고 있다.
- <13> 그러나, 이러한 디펙트의 유형 분류는 최근의 디바이스 스케일-다운(device scale-down) 수준을 고려할 때 매우 원시적이며 관측자에 의한 오류를 많이 포함하며 실제로 불량개선 활동을 위해서는 추가적인 분석이 요구된다. 또한, 불량개선 활동을 위하여 다양한 분석이 이루어지지만 실제로 불량을 유형별로 정확히 분류하고 분석하고 하

는 일은 매우 어렵다.

<14> 또한, 데이터의 양에 비하여 불량 개선을 위한 정보는 미흡하다. 즉, 통계적 분류나 관리는 가능하나 디펙트 하나 하나에 대한 개별 정보는 매우 부족하여 반드시 추가 분석이 필요하다.

<15> 도 4a 및 도 4b는 기존의 KLA 장비를 이용하여 웨이퍼 내에서 발생된 디펙트를 표시한 지도와 상기 지도를 이용하여 리뷰 스테이션에서 분석한 디펙트를 유형별로 도시한 막대 그래프이다. 이때, 분석 단계에서 광학 스코프(scope)나 SEM 사진에서 사진을 찍거나 문제의 심각성을 판단하여 성분 분석 즉 디펙트의 원인을 분석하는 단계로 들어간다. 그러나, 현실적으로 광학 스코프나 SEM은 유형 분류만 가능하다는 모순을 가지며, 성분 분석은 이해하기 어렵다는 한계를 가진다.

<16> 칩 상에 발생된 결함은 수율 손실 및 특성 불량 등 치명적인 영향을 미치지만, 일반적으로 결함 칩이 100 개 발생하더라도 이중 1 내지 30 % 정도인 1 내지 30개 칩만이 수율 손실이 일어나고 나머지 70 내지 99개 칩은 수율 손실이 일어나지 않는다. 즉, 발생된 결함 칩수가 동일하다 할 지라도 공정에 따라 수율 손실 정도가 다르게 나타나게 되며, 제품에 따라서도 수율 손실 정도가 다르고 또한 결함의 크기 및 유형에 따라서도 수율 손실 정도가 다르게 나타나게 된다.

<17> 극단적인 예를 들면, DRAM 제품의 경우 메모리 셀 영역의 바깥쪽에 결함이 있게 되면 불량칩이 되지만 그 메모리 셀 영역 내에 결함이 발생한 경우에는 리던던시 셀 (REDUNDANCY CELL)을 이용해서 레이저 리페어(LASER REPAIR)하여 양품칩으로 만들 수 있다. 즉, 같은 칩내에서 결함 위치에 따라서도 수율 손실 정도가 다르게 나타나게 된다.

- <18> 뿐만 아니라, 반도체 칩 제조시 수율 손실을 일으키는 요인은 상기의 결함뿐만 아니라 사진 감광 공정, 식각 공정, 확산 공정, 이온 주입 공정, 및 박막 증착 공정 등 전체 공정 등에서도 제공되고 있기 때문에, 수율 손실이 발생할 경우 결함에 의한 영향이 정확히 얼마인지 규명한다는 것은 거의 불가능하다고 할 수 있다.
- <19> 따라서, 제품에 따라 결함발생시 수율 손실 정도가 다른점, 같은 제품일 경우에도 공정에 따라 수율 손실 정도가 다른점, 결함이 반도체 제조 현장의 모든 공정, 장비, 주변 환경 및 취급 과정에서 발생하는 점 등 때문에 결함관리를 통한 수율 관리는 매우 어렵다고 할 수 있다.
- <20> 현재의 결함에 의한 수율 손실 및 특성 불량 등에 대한 측정 기술 수준은 웨이퍼 상에 발생한 총 결함수, 총 결함 칩수, 결함 크기별 분류, 유형별 측정 등이 가능한 상태이며, 이러한 측정 결과를 수율 측정 결과에 매칭시킨후 통계 처리하여 총 결함수 대비 수율 손실량, 총 결함수 대비 특정 불량 칩수, 총 결함 칩수 대비 수율 손실량, 총 결함 칩수 대비 특정 불량 칩수 등의 해석 및 측정이 가능한 상태이다.
- <21> 이에 따라 총 결함수, 총 결함 칩수가 증가하면 수율 손실량 및 특정 불량율도 증가한다는 해석이 가능한 수준, 즉 상대적인 측정이 가능한 수준이다.
- <22> 그러나, 앞서 언급한 바와 같이, 수율 손실을 초래하는 요인은 모든 공정 상에서 존재하고 있기 때문에 수율 손실이 일어난 칩이 결함에 의해 정확히 얼마나 영향을 받았는지 파악할 수 있는 수율 손실량의 절대값의 측정은 불가능한 상태이다.
- <23> 이를 개선하기 위하여, 대한민국 특허출원 제1998-29089호에서는 반도체 칩 결함에 따른 수율 손실 칩수 및 유형별 불량칩수 측정방법을 개시하고 있으나, 이 기술에서도

단위 공정 및 공정 구간에 대한 불량 칩수를 정확히 측정하여 관리할 수 있으나 각 디펙트에 대한 개별적인 정보는 부족하여 실제 라인에서 디펙트 발생에 대한 신속한 조치를 할 수 없다는 문제점이 있다.

【발명이 이루고자 하는 기술적 과제】

<24> 본 발명은 위에서 설명한 바와 같은 문제점을 해결하기 위하여 안출된 것으로서, 본 발명의 목적은 간단하고 신속하게 디펙트 소스에 대한 성분 분석을 할 수 있는 웨이퍼 디펙트 소스 분포를 개선할 수 있는 방법을 제공하는 것이다.

【발명의 구성 및 작용】

- <25> 본 발명은 상기한 목적을 달성하기 위하여, 본 발명은
- <26> 웨이퍼 디펙트 소스에 대한 성분별 불량칩수 표시 방법에 있어서;
- <27> 반도체 결함 검사 장비를 이용하여 웨이퍼 상의 디펙트 소스를 찾아내고,
- <28> 상기 디펙트 소스를 반도체 결함 검사 장비를 이용하여 성분 분석하고,
- <29> 상기 디펙트 소스의 성분 분석된 디펙트에 동일한 원인이 있는 경우 동일한 표시를 하고,
- <30> 상기 표시에 따라 웨이퍼 상에 디펙트의 산포와 치우침을 나타내고, 그래프 상으로 디펙트의 개수를 나타내어 디펙트의 통계적 처리를 하는 것을 포함하는 것을 특징으로 하는 웨이퍼 디펙트 소스에 대한 성분별 불량칩수 표시 방법을 제공한다.
- <31> 이하, 본 발명을 첨부한 도면을 참조하여 상세히 설명한다.
- <32> 도 1은 본 발명에 따른 디펙트 소스를 웨이퍼 상에 표시한 것을 나타내는 사진이고, 도 2는 디펙트를 소스별로 분류한 것을 그래프로 도시한 것이다.

<33> 본 발명의 실행을 위한 첫 번째 단계는 반도체 결함 검사 장비를 이용하여 웨이퍼 상의 디펙트 소스를 찾아낸다. 상기 반도체 결함 검사 장비를 이용하여 디펙트 소스에 대한 성분을 분석한다. 상기 반도체 결함 검사 장비로는 DRT(Defect Review Tool, KLA SEM사 제조)를 사용하는 것이 바람직하다.

<34> 상기 디펙트 소스에 대한 성분 분석은 도 3a, 도 3b 및 도 3c에 나타낸 바와 같이, 먼저, 디펙트 소스의 SEM 사진을 먼저 얻는다. 그리고 나서, 도 3b의 EDS 분석 또는 도 3c의 AES로 디펙트 소스의 성분을 분석한다.

<35> 이렇게 분석된 디펙트 소스 성분은 하기의 표 1과 같이, 웨이퍼 상의 디펙트 위치를 번호로 표시하고, 디펙트 성분이 공정 상 어느 위치에서 발생된 것인지를 나타낸다. 또한, 디펙트 성분이 무엇인지를 나타내고 있다.

<36> 표 1

<37>	디펙트 넘버	KLA 장비에 의한 분류	반도체 검사 장비 분류	디펙트 성분별 분류	위치
	12	155	TiN 증착후 Al 디펙트	Al 금속	표면
	13	155	TiN 증착후 Al 디펙트	Al 옥사이드, F	표면
	15	99	없음		핏(pit)
	18	99	없음		핏
	19	99	없음		핏
	21	99	없음		핏
	28	155	TiN 증착전 Si 디펙트		함침된 부분 (buried)
	29	155	TiN 증착전 Si 디펙트		함침된 부분
	30	155	TiN 증착전 Si 디펙트		함침된 부분
	34	155	TiN 증착전 Si 디펙트	Si 금속	함침된 부분
	38	155	TiN 증착후 Al 디펙트	Al 옥사이드	함침된 부분
	39	155	TiN 증착후 Al 디펙트	Al 옥사이드	표면
	42	155	TiN 증착후 Al 디펙트	Al 옥사이드	표면
	45	155	TiN 증착후 Al 디펙트	Al 옥사이드	표면

<38> 상기와 같이 디펙트 성분이 분석된 후에는 동일한 원인이 있는 디펙트에 대해서는 웨이퍼 지도 상에 동일한 색으로 동일한 표시를 한다.

<39> 상기 표시 방법은 웨이퍼 상에 디펙트 성분을 도트(dot)하여 표시할 수 있고, 더욱 바람직하기로는 웨이퍼 지도 상에 디펙트 성분을 유형별로 색을 지정하여 도트하는 것이 바람직하다.

<40> 이렇게 표시된 웨이퍼 지도를 가지고 리뷰 스테이션(review station)에서 분석하여 디펙트 유형별 막대 그래프로 디펙트의 개수를 나타내어 디펙트의 통계적 처리를 한다.

<41> 상기 디펙트 유형별 막대 그래프는 웨이퍼 상에 디펙트 성분을 표시할 때, 동시에 그래프로 표시될 수 있다.

- <42> 또한, 상기 방법이 소프트웨어 상에서 디펙트 성분을 저장한 파일을 입력받아 성분을 코딩하는 것일 수 있다.
- <43> 상기 코딩 방법은 디펙트 검사 장비로 디펙트 성분을 발견하고 분석한 내용을 소프트웨어 저장한 후 이 파일을 코드화하고 이를 다시 디코딩함으로써 손쉽게 디펙트 성분을 확인하고 분석할 수 있다.
- <44> 위와 같이 디펙트 성분에 따른 통계적 처리 후 디펙트의 발생에 따라 실제 라인에서 디펙트를 빠른 시간 내에 해결할 수 있다.

【발명의 효과】

- <45> 이상 설명한 바와 같이, 본 발명은 DRT 시장에서 응용이 점차 확대될 것으로 전망됨에 따라 소프트웨어적인 기법으로 웨이퍼 기판 상의 디펙트를 성분으로 분석하여 통계적으로 처리함으로써 양산에서의 불량률 더욱 신속하고 효과적으로 방지함으로써 수율 향상에 영향을 미침을 알 수 있다.

【특허청구범위】**【청구항 1】**

웨이퍼 디펙트 소스에 대한 성분별 불량칩수 표시 방법에 있어서,
반도체 결함 검사 장비를 이용하여 웨이퍼 상의 디펙트 소스를 찾아내고,
상기 디펙트 소스를 반도체 결함 검사 장비를 이용하여 성분 분석하고,
상기 디펙트 소스의 성분 분석된 디펙트에 동일한 원인이 있는 경우 동일한 표시
를 하고,

상기 표시에 따라 웨이퍼 상에 디펙트의 산포와 치우침을 나타내고, 그래프 상으로
디펙트의 개수를 나타내어 디펙트의 통계적 처리를 하는 것을 포함하는 것을 특징으로
하는 웨이퍼 디펙트 소스에 대한 성분별 불량칩수 표시 방법.

【청구항 2】

제 1항에 있어서,
상기 디펙트 성분을 웨이퍼 상에 표시하는 방법은 웨이퍼 지도 상에 디펙트 성분을
도트(dot)하는 것인 성분별 불량칩수 표시 방법.

【청구항 3】

제 2항에 있어서,
상기 디펙트 성분을 도트하는 방법이 웨이퍼 지도 상에 디펙트 성분을 유형별로 색
을 지정하여 도트하는 것인 성분별 불량칩수 표시 방법.

【청구항 4】

제 1항에 있어서,

상기 방법이 디팩트 성분의 수가 그래프로 동시에 표현하는 것을 더욱 포함하는 것인 성분별 불량칩수 표시 방법.

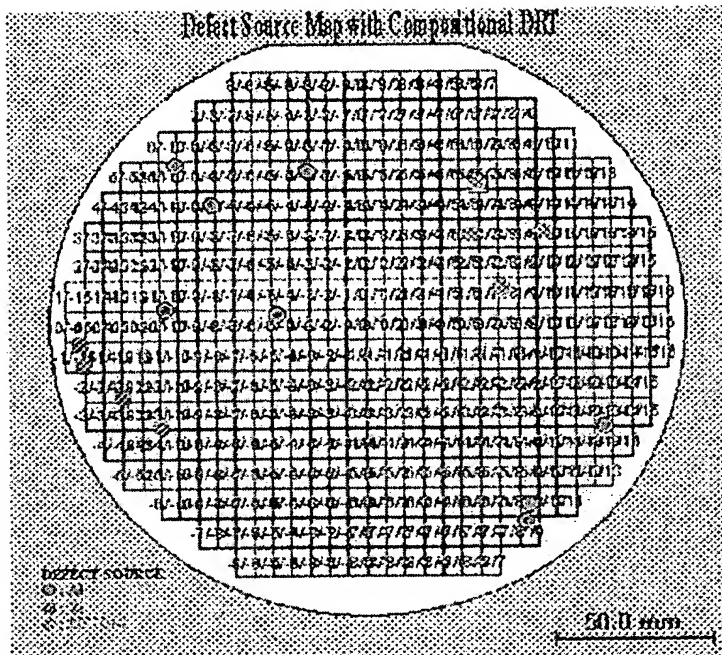
【청구항 5】

제 1항에 있어서,

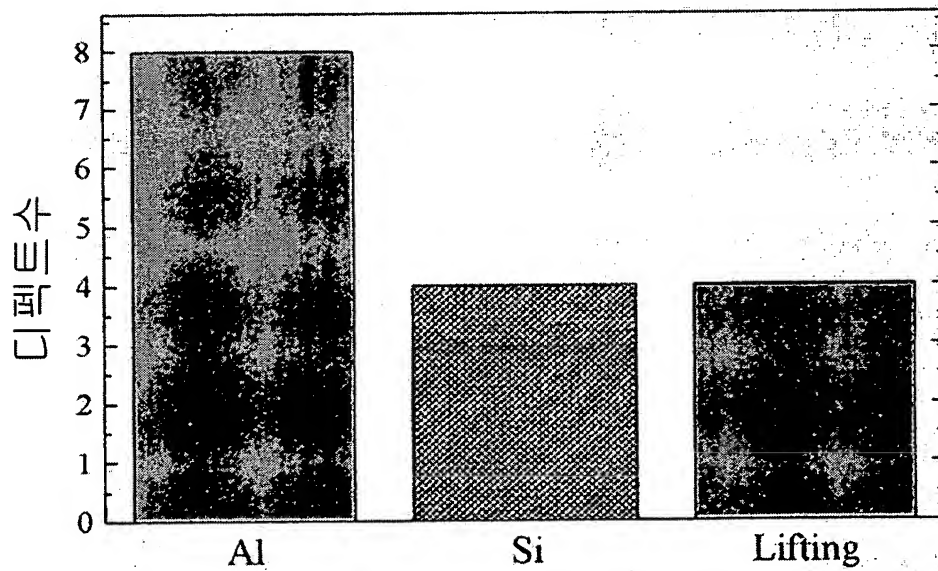
상기 방법이 소프트웨어 상에서 디팩트 성분을 저장한 파일을 입력받아 성분을 코딩하는 것을 더욱 포함하는 것인 성분별 불량칩수 표시 방법.

【도면】

【도 1】



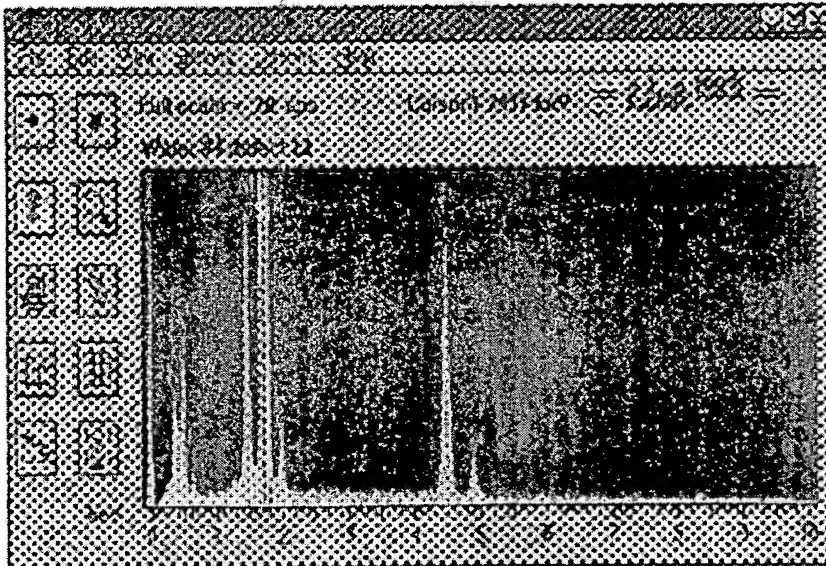
【도 2】



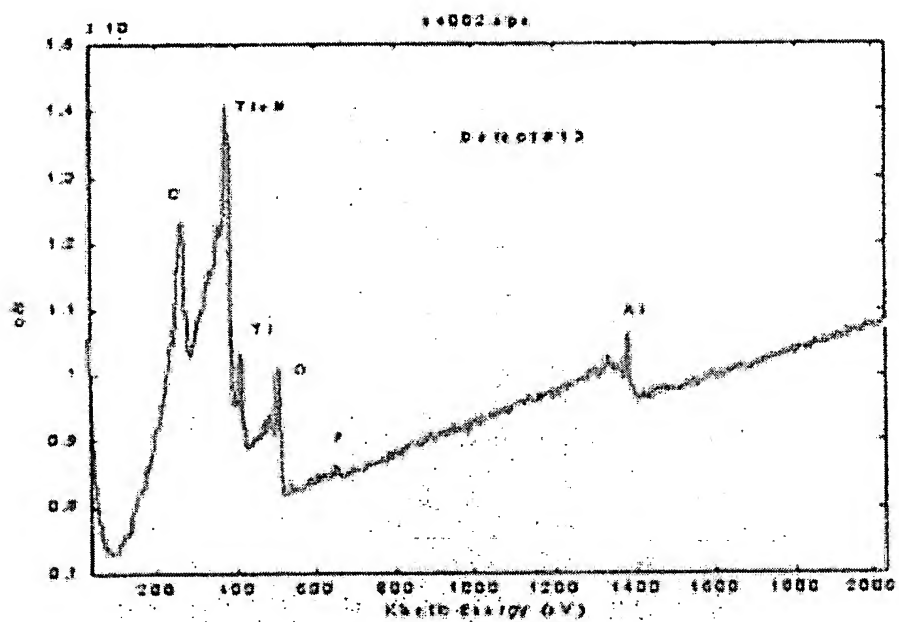
【도 3a】



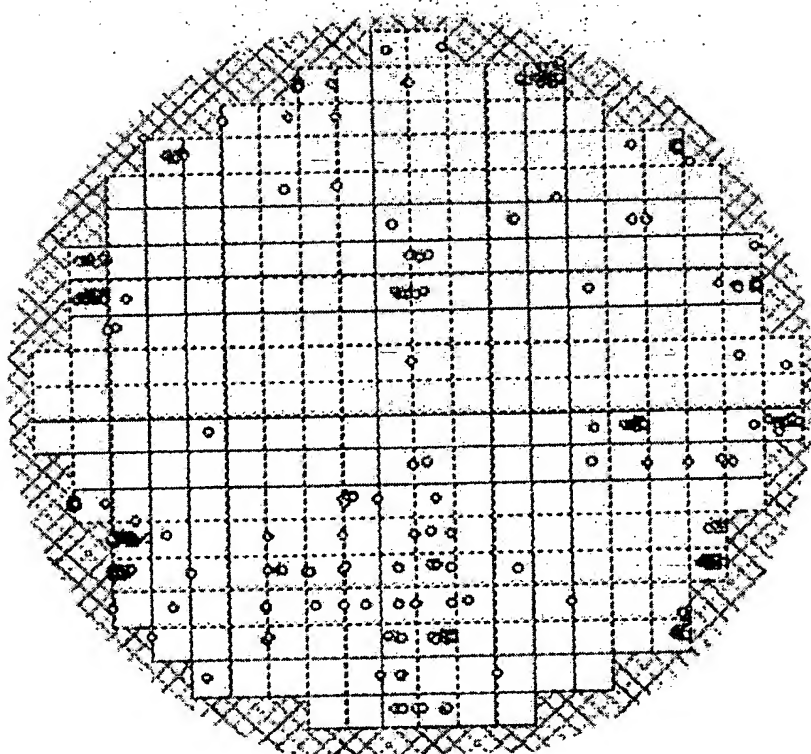
【도 3b】



【도 3c】



【도 4a】



【도 4b】

